

9W×2，双通道带立体声耳机模式D类音频放大器

概要

CS8528S是一款双桥音频功率放大器芯片，采用8.4V电源供电；在THD+N等于10%情况下，能为一个4Ω的负载提供将近9.0W的连续功率。此外，当接立体耳机时，芯片可以单端工作模式驱动立体耳机。

CS8528S双通道音频功率放大器是为需要输出高质量音频功率的系统设计的，它采用表面贴装技术，只需少量的外围器件，便使系统具备高质量的音频输出功率。CS8528S采用双通道设计使芯片具有了桥式联接扬声器放大和单终端立体耳机放大两种工作模式，简化了音频系统的外围电路设计。

CS8528S内置了低功耗待机电路和过热保护电路，同时内置了杂音消除电路，可以消除芯片启动和关断过程中的咔嚓声或噼噻声。

CS8528S提供了ESOP16L的封装形式，额定的工作温度范围为-40℃至85℃。

描述

每通道输出功率

Po at 10% THD+N, VDD = 8.5V

RL = 8 Ω 5.00W(每通道)

RL = 4 Ω 9.00W(每通道)

Po at 10% THD+N, VDD = 5V

RL = 8 Ω 1.80W(每通道)

RL = 4 Ω 3.20W(每通道)

Po at 10% THD+N, VDD = 3.6V

RL = 8 Ω 0.90W(每通道)

RL = 4 Ω 1.70W(每通道)

- 工作电压范围：2.7V到8.8V
- “咔嚓声和噼噻声”抑制电路
- SE模式， $R_L=32\Omega$ ，输出平均功率75mW， $THD_{(max)}<0.1\%$
- 低关断电流 ($<0.1\mu A$)
- 过流保护，短路保护和热保护
- 符合Rohs的无铅封装

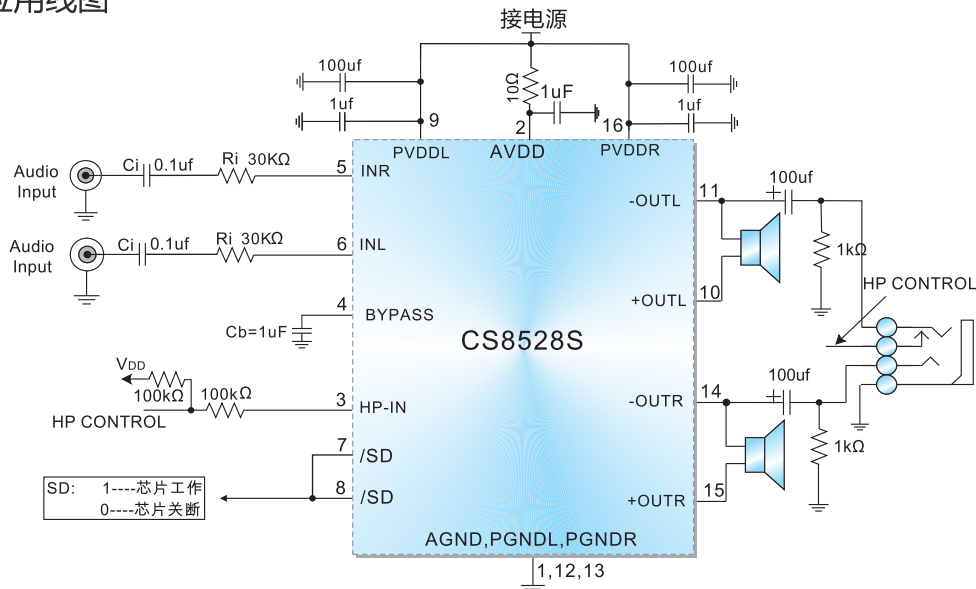
封装

- ESOP16L

应用:

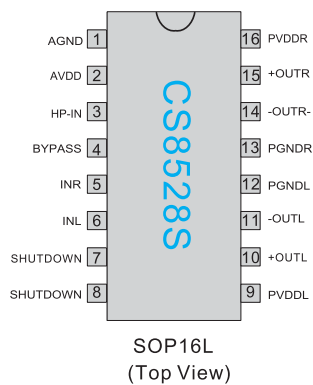
- 蓝牙音箱
- 桌面音箱

典型应用线图



CS8528S应用电路图

管脚排列以及描述



管脚说明

CS8528S管脚	说明	输入/输出	功能
1	AGND	地	模拟地
2	AVDD	电源	模拟电源
3	HP-IN	输入	耳机/立体模式选择
4	BYPASS	输入	电压基准端
5	INR	输入	音频信号右声道输入端
6	INL	输入	音频信号左声道输入端
7	SHUTDOWN	输入	关断端口,低电平关断,需与PIN8相连
8	SHUTDOWN	输入	关断端口,低电平关断,需与PIN7相连
9	PVDDL	电源	左声道功率电源
10	OUL+	输出	左声道正向输出端
11	OUL-	输出	左声道反向输出端
12	PGNDL	地	左声道功率地
13	PGNDR	地	右声道功率地
14	OUTR-	输出	右声道反向输出端
15	OUTR+	输出	右声道正向输出端
16	PVDDR	电源	右声道功率电源

极限参数表¹

参数	描述	数值	单位
V _{DD}	无信号输入时供电电源	9.5	V
V _I	输入电压	-0.3 to V _{DD} +0.3	V
T _J	结工作温度范围	-40 to 150	°C
T _{SDR}	引脚温度 (焊接15秒)	220	°C
T _{STG}	存储温度范围	-65 to 150	°C

推荐工作环境

参数	描述	数值	单位
V _{DD}	电源电压	2.7~8.8	V
T _A	环境温度范围	-40~85	°C
T _J	结温范围	-40~150	°C

热效应信息

参数	描述	数值	单位
θ_{JA}	封装热阻---芯片到环境热阻	45	°C/W
θ_{JC}	封装热阻---芯片到封装表面热阻	10	°C/W

订购信息

产品型号	封装形式	器件标识	包装尺寸	卷带宽度	数量
CS8528S	ESOP16L			管装	50

ESD 范围

ESD 范围HBM(人体静电模式) ----- ±4kV
 ESD 范围MM(机器静电模式) ----- ±400V

- 上述参数仅仅是器件工作的极限值，不建议器件的工作条件超过此极限值，否则会对器件的可靠性及寿命产生影响，甚至造成永久性损坏。
- PCB板放置CS8528S的地方,需要有散热设计.使得CS8528S底部的散热片和PCB板的散热区域相连，并通过过孔和地相连。

电气参数 ($V_{DD}=5V$, $T_A=25^{\circ}C$, 除非特殊说明)

参数	描述	测试条件	最小值	典型值	最大值	单位
V _{DD}	供电电源		2.7			V
					8.8	V
I _{DD}	静态电流	V _{IN} =0V, I _O =0A, V _{DD} =5.0V		15		mA
		V _{IN} =0V, I _O =0A, V _{DD} =8.0V		20		mA
I _{SD}	关断电流	Shutdown管脚接地		0.04	1	μA
V _{IH} (SD)	SD输入高电平		1.4			V
V _{IL} (SD)	SD输入低电平				0.4	V
V _{IH} (HP)	HP输入高电平		V _{DD} -1			V
V _{IL} (HP)	HP输入低电平				0.9	V

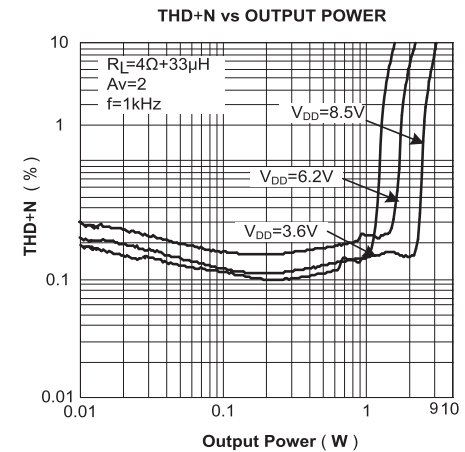
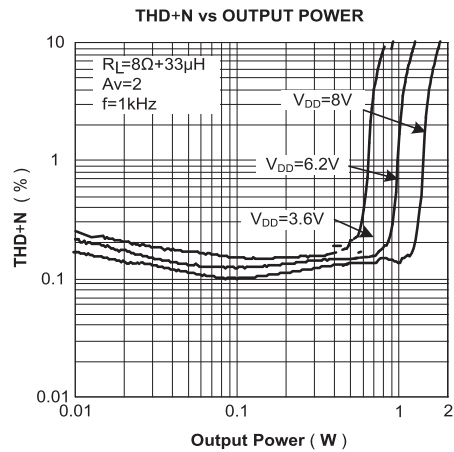
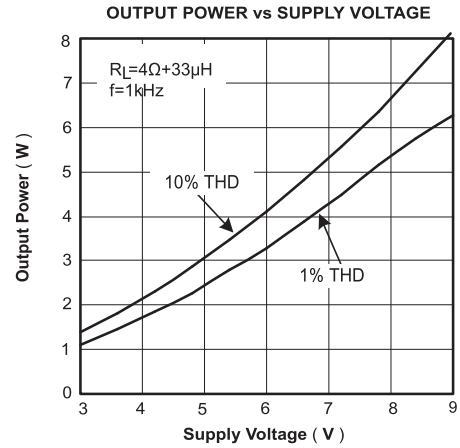
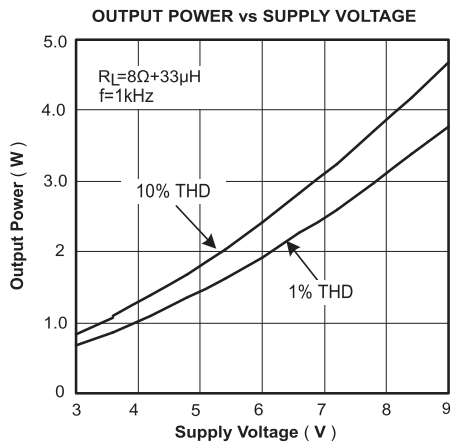
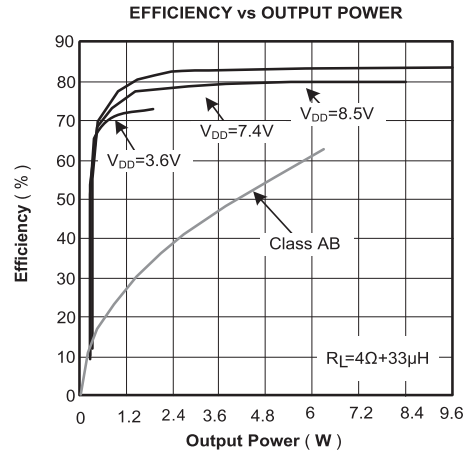
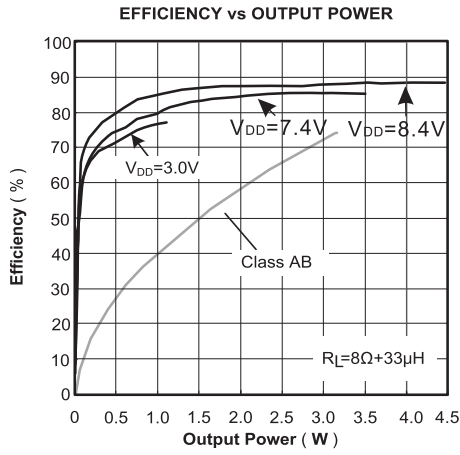
桥接模式电气特性

参数	描述	测试条件	典型值	极限值	单位	
V _{OS}	输出失调电压	V _{IN} = 0V	5	50	mV	
P _O	输出功率	D类模式	THD+N=10%, f=1kHz, R _L =4Ω, V _{DD} =8.5V	9.0		W
			THD+N=1%, f=1kHz, R _L =4Ω, V _{DD} =8.5V	7.3		W
			THD+N=10%, f=1kHz, R _L =4Ω, V _{DD} =7.4V	7.0		W
			THD+N=1%, f=1kHz, R _L =4Ω, V _{DD} =7.4V	5.6		W
			THD+N=10%, f=1kHz, R _L =4Ω, V _{DD} =5.0V	3.2		W
			THD+N=1%, f=1kHz, R _L =4Ω, V _{DD} =5.0V	2.57		W
		THD+N=1%, f=1kHz, R _L =32Ω, V _{DD} =5V	0.37		W	
T _{WU}	启动时间	V _{DD} =5.0V, C _{bypass} =1μF	200		ms	
THD+N	总谐波失真	20 Hz < f < 20 kHz, A _V D = 2, R _L =4Ω, P _O =1W	0.06		%	
PSRR	电源抑制比	V _{DD} = 5V, V _{RIPPLE} = 200mV _{RMS} , R _L = 8Ω C _B = 1.0uF	67		dB	
X _{TALK}	通道隔离度	f = 1 kHz, C _B = 1.0 μF	90		dB	
SNR	信噪比	V _{DD} = 5V, P _O = 1.1W, R _L = 8Ω	98		dB	
f _(sw)	调制频率	V _{DD} =2.7 to 8.8V	500		Khz	
Gain	放大倍数		300K/R _{in}		V/V	

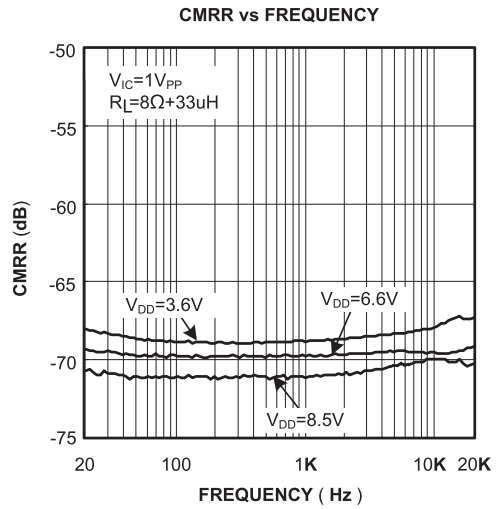
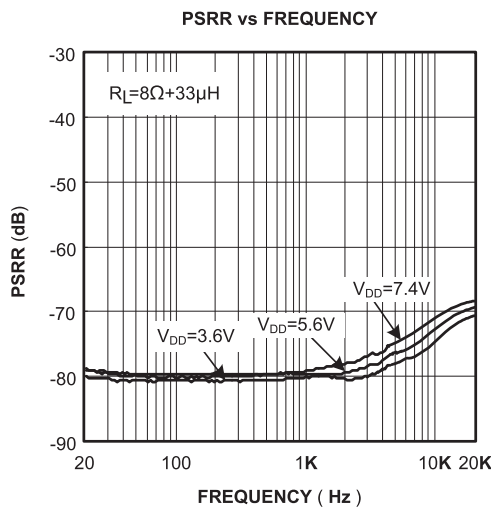
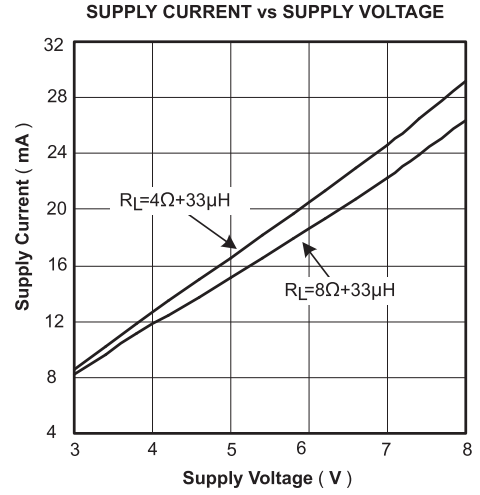
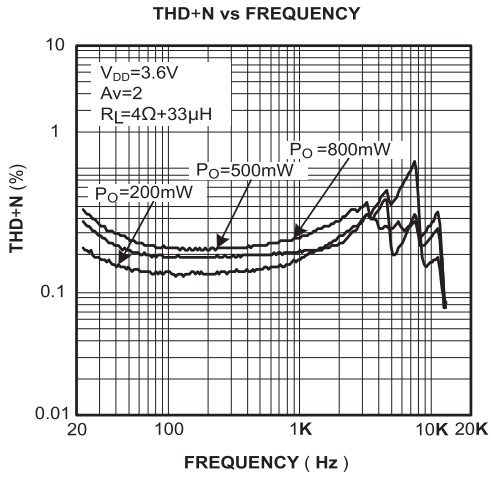
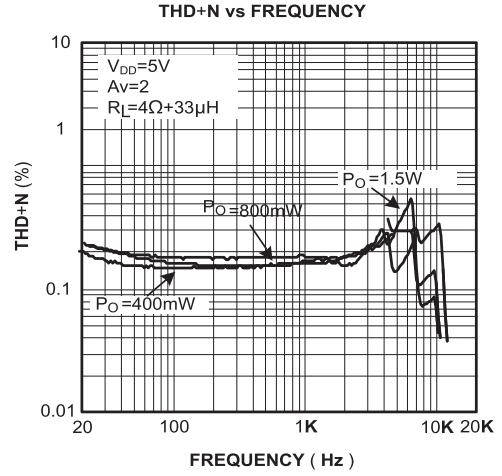
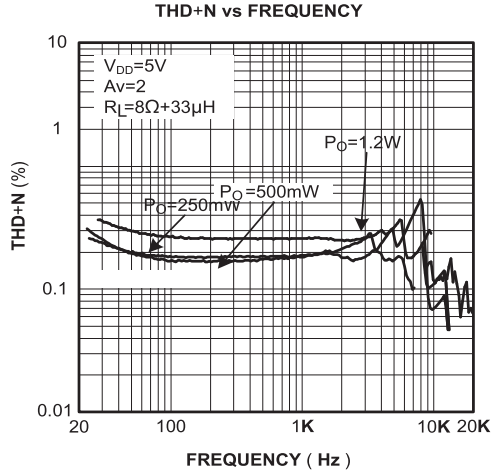
单端模式电气特性 ($V_{DD}=5V$, $T_A=25^{\circ}C$, 除非特殊说明)

参数	描述	测试条件	典型值	极限值	单位
V _{OS}	输出失调电压	V _{IN} = 0V	5	50	mV(max)
P _O	输出功率	THD+N=0.5%, f=1kHz, R _L =32Ω	75	85	mW
THD+N	总谐波失真	20 Hz < f < 20 kHz, A _V D = -1, P _O =75mW, R _L =32Ω	0.02		%
PSRR	电源抑制比	V _{RIPPLE} = 200mV _{RMS} , R _L = 8Ω C _B = 1.0uF	52		dB
X _{TALK}	通道隔离度	f = 1 kHz, C _B = 1.0 μF	60		dB
SNR	信噪比	V _{DD} = 5V, P _O = 340mW, R _L =8Ω	95		dB

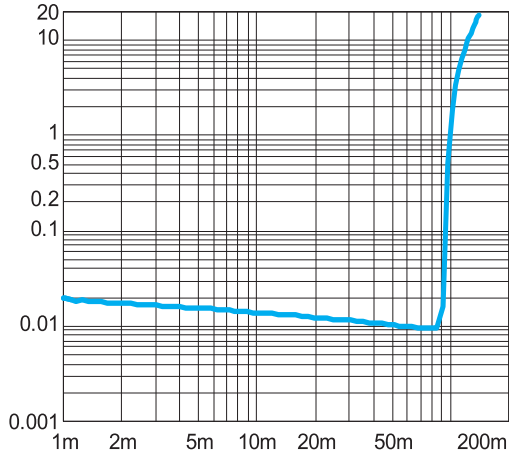
典型特征曲线



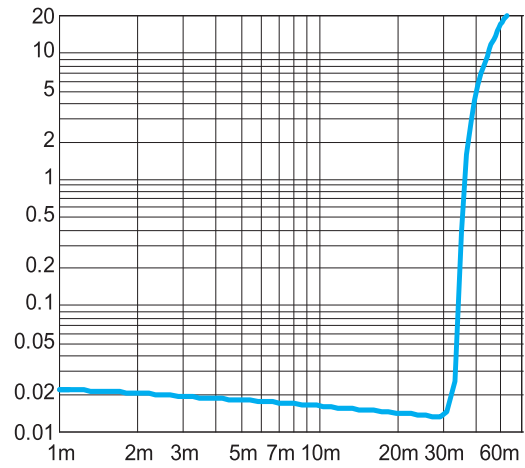
典型特征曲线



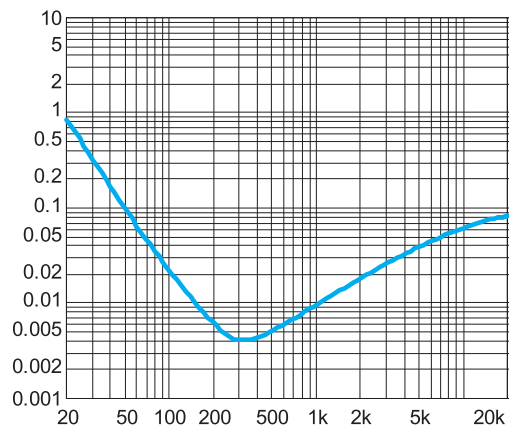
典型特征曲线



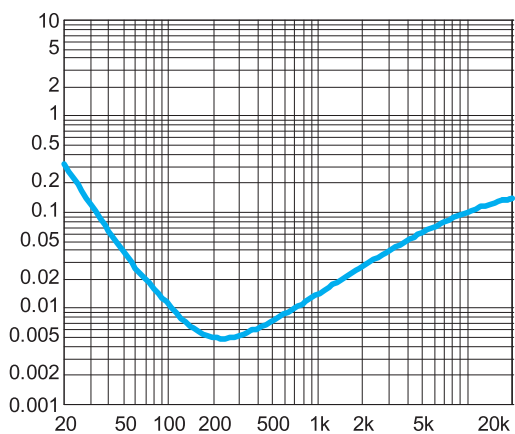
THD+N vs. Output Power
SE mode, 5V, 32Ohm, f=1 kHz



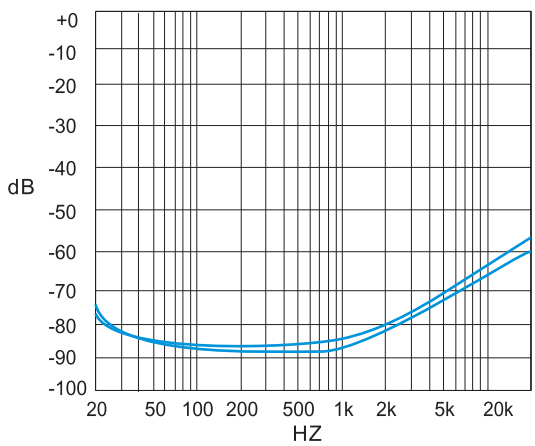
THD+N vs. Output Power
SE mode, 3V, 32Ohm, f=1 kHz



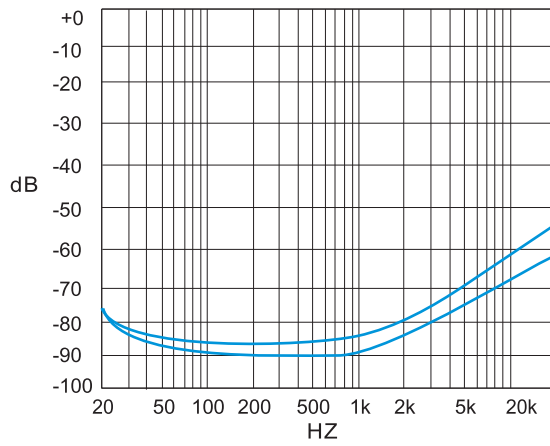
THD+N vs. Frequency
SE mode, 6V, 32Ohm, Po=70mW



THD+N vs. Frequency
SE mode, 3V, 32Ohm, Po=20mW

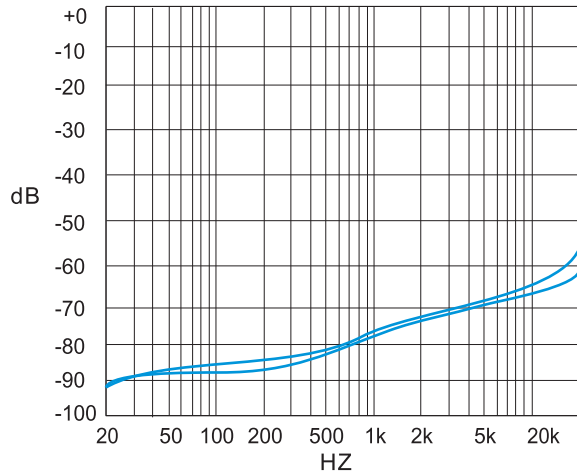


PSRR vs. Freq
SE mode, 6V, 32Ohm, 200mVpp
Input terminated

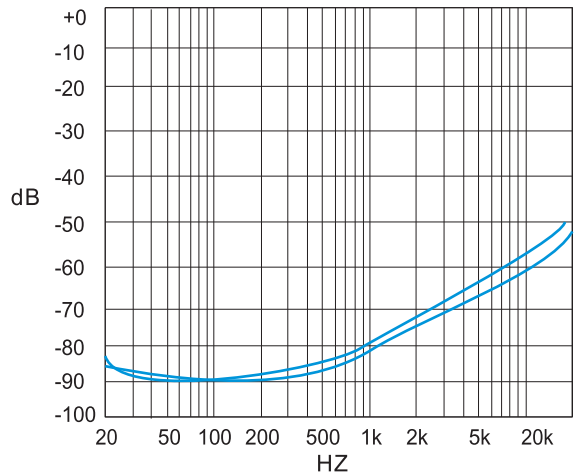


PSRR vs. Freq
SE mode, 3V, 32Ohm, 200mVpp
Input terminated

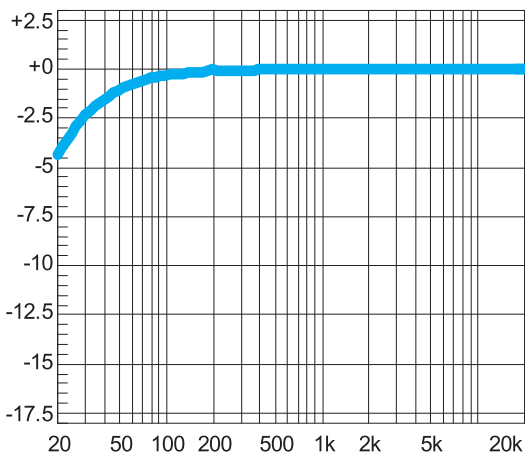
典型特征曲线



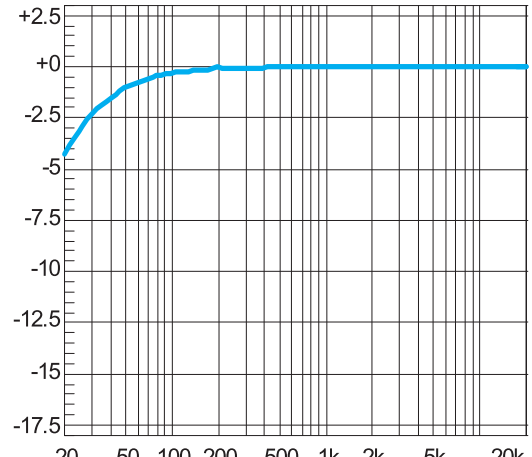
PSRR vs. Freq
SE mode, 6V, 32Ohm, 200mVpp
Input unterminated



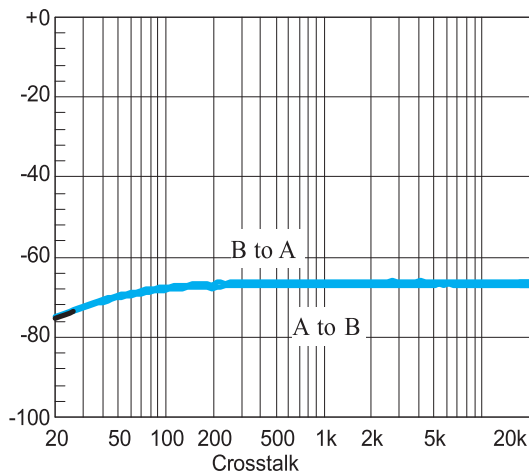
PSRR vs. Freq
SE mode, 3V, 32Ohm, 200mVpp
Input unterminated



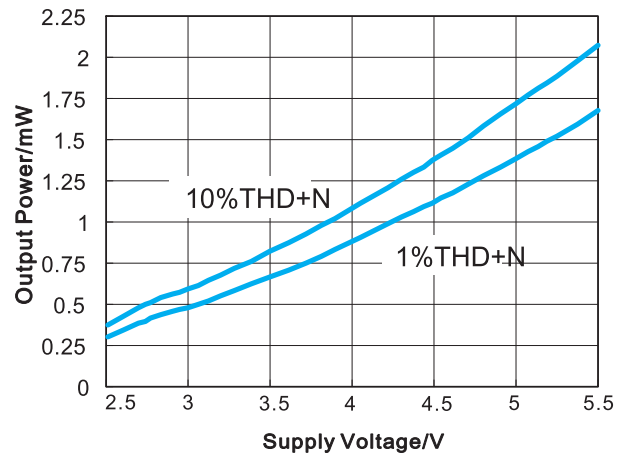
Frequency Response
SE mode, 6V, 32Ohm



Frequency Response
SE mode, 3V, 32Ohm



Crosstalk
SE mode, 6V, 32Ohm, Po=80mW



Output Power vs. Power Supply
BTL mode, f=1 kHz, RL=8 Ohm

应用信息

CS8528S基本结构描述

CS8528S是双端输出的立体声音频功率放大器，内部集成两级四个运算放大器，构成双通道（A,B通道）立体音频放大器（以下为A通道的论述，同时也适合于B通道）放大器A1的增益是外部配置结构决定的，闭环增益通过配置 R_f 和 R_i 来决定；而放大器A2的增益有内部电阻结构决定，固定为-1，A2构成倒相放大器。驱动的负载连接到两个放大器输出端之间。放大器A1的输出作为放大器A2的输入，这样导致两个放大器产生幅值相同，相位差 180° 。利用相位不同，当负载连接于-OUTA和+OUTA输出端之间且为差动输出时（通常被称作“桥式模型”），该IC各通道的差动增益为：

$$A_{VD} = \frac{R_f}{R_i} \quad (1)$$

CS8528S的反馈电阻 $R_f = 300\text{k}\Omega$ ，输入电阻 R_i 为 $30\text{k}\Omega$ ，所以闭环增益是20dB。

桥式模型放大器的运行不同于单终端放大器结构，在单终端结构中负载的一端接放大器的输出而另一端接地。桥式放大器设计比单终端结构有一些明显的优点：当它给负载提供差动驱动时，负载两端的电压为单终端情况下的两倍。因此，在相同条件下，假定放大器没有电流限制或断路，可获得的输出功率中，这种增加导致输出功率可能是单终端放大器的4倍。当选定一个的放大器闭环增益时，为了不引起过分失真（过分失真将会损坏扬声器系统中的高频率传感器），对电路的设计有一定的要求，请参考“音频功率放大器设计”部分。放大器桥式结构优于单终端的第二个优点是，由于A通道和B通道的差动输出均在半供给中偏置，通过负载不存在净直流电压，这就消除了单电源、单终端模式下存在的输出耦合电容。单电源、单终端放大器中，则需通过负载的半供给偏置来消除输出耦合电容，这样便会导致内部IC功耗的增加，以及扬声器永久性损坏。

电源旁路

对于任何功率放大器，适当的电源旁路对于低噪声性能和高电源抑制是非常关键的。典型运用中，使用一个6V的调节器，这个调节器具有一个 $10\mu\text{F}$ 和一个 $1\mu\text{F}$ 的旁路电容，有助于电源稳定，降低输入噪声和改善电源瞬态响应。在电源和地间连接电容的导线及内部连线应尽可能缩短。在管脚BYPASS与地间连接一个 $1\mu\text{F}$ 的电容 C_B 可改善内部偏置电压的稳定性和提高放大器的抑制比PSRR，当 C_B 增大时PSRR也随之提高，但 C_B 增加太大则会影响放大器的降噪性能。

欠压锁定(UVLO)

CS8528S内部具有低电压检测电路，当电源电压下降到1.8V以下时，CS8528S将关闭输出，直到 $V_{DD} \geq 2.7\text{V}$ 时器件再次开启回到正常状态。

短路保护

CS8528S内部具有短路保护功能，一旦检测到输出与输出、输出与地或电源短路，芯片会立即关闭输出，避免芯片受损，如果短路状态消除，器件将会重新开启。

过热保护

当芯片的温度超过 150°C 时，热保护电路将起作用，芯片自动被关断。由于芯片制造工艺的差异，不同的芯片之间最大有 $\pm 15^\circ\text{C}$ 的偏差，当温度降低 30°C 后CS8528S继续正常工作。

输入电容(C_i)

对于便携式设计，较大输入电容既昂贵又占用空间，因此需要恰当的输入耦合电容，但在许多应用便携式扬声器的例子中，无论内部还是外部，很少可以出现低于100Hz至150Hz的信号。因此使用一个大的输入电容不会增加系统性能，输入电容(C_i)和输入电阻(R_i)组成一个高通滤波器，截止频率为

$$f_c = \frac{1}{2\pi R_i C_i}$$

除了系统损耗和尺寸，POP声受输入耦合电容 C_i 的影响，较大的输入耦合电容需要更多的电荷才能到达它的静态电压($1/2V_{DD}$)。这些电荷需要内部反馈电路提供，因此，在保证低频性能的前提下，减小输入电容可以减少启动POP声。

模拟基准旁路电容(C_{BYP})

模拟基准旁路电容(C_{BYP})是最关键的电容，它与几个重要性能相关，在从关闭模拟启动或复位时， C_{BYP} 决定了放大器开启的速度。第二个功能是减少电源与输出驱动信号耦合时制造的噪声，这些噪声来自于内部模拟基准或放大器其它器件，会降低CS8528S的PSRR和THD+N性能。建议使用 $1\mu\text{F}$ 的电容，使用更大的电容可以减小噪声，提高PSRR，但是会延长启动时间。

关断模式

为了节电，在不使用放大器时，可以关闭放大器，CS8528S有关断控制管脚，可以控制放大器是否工作。该控制管脚的电平必须要接满足接口要求的控制信号，否则芯片可能进入不定状态，而不能进入关断模式，其自功耗没有降低，达不到节电目的。

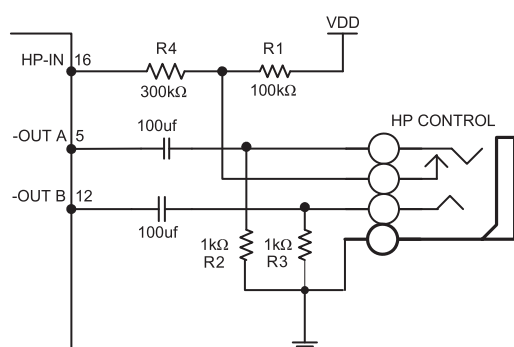
有几种方法可以实现低功耗关断功能，包括用单极、单掷开关进行切换，用微控制器或微处理器输出来控制关断电路。如果开关的切换来实现，则需在管脚SHUTDOWN与地连上一个 $100\text{k}\Omega$ 的下拉电阻或管脚SHUTDOWN直接连到电源。当管脚SHUTDOWN接高时放大器正常工作。当管脚SHUTDOWN接低时，关断功能就启动。开关及下拉电阻确保管脚SHUTDOWN不会悬空，以免出现我们不希望的不定状态。一些系统中用微控制器或微处理器输出信号给管脚SHUTDOWN来控制关断功能，代替用下拉电阻的关断电路。

表1 SHUTDOWN 和 HP-IN 操作的逻辑真值表

SHUTDOWN	HP-IN	工作模式
高	逻辑低	桥式放大
高	逻辑高	单端放大
低	逻辑低/高	关断

HP-IN功能

给HP-IN加上一个4V~VDD的电压可关断运算放大模块A2和A4，使桥式连接的负载失效。当此IC处于单端工作模式时静态电流也会随之减小。



立体耳机工作电路示意图

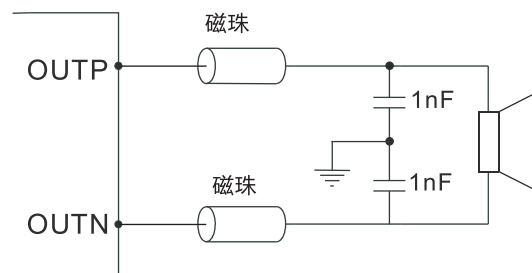
上图为耳机控制功能工作示意图，当没有耳机插头接入插孔时，R1-R2 分压电阻使提供到HP-IN 管脚的电压近似为50mV，驱动A3 和A4 处于工作状态，使CS8528S 工作于桥式模式。输出耦合电容隔离半供给直流电压，起到保护耳机的作用。输入HP-IN管脚的高电平为4V。当CS8528S工作于桥式模式时，实质上负载两端的电压为0V。因此甚至为理想状态下，难以引发放大器处于单终端输出的工作模式。耳机接入耳机插孔使得耳机插孔与-OUTA 分离并使R1 上接HP-IN 管脚的电压至VDD。这样耳机关断功能把A2 和A4 给关断且桥式连接的扬声器就不工作了，放大器便驱动输出耦合阻抗为R2 和R3 的耳机，当耳机阻抗为典型值32Ω时，输出耦合阻抗R2、R3 对CS8528S 输出驱动能力的影响可忽略不计。图34 也是耳机插孔的内部连接关系示意图，插孔为一组三线插头的设计，尖端和环分别为立体双声道的一个信号输出，然而最外端的环为地。当连接耳机时有一个控制端连接的耳机插孔足以驱动HP-IN 管脚。一个微处理器或开关可以代替耳机插孔中连接控制端的功能，微处理器或开关向HPSense提供4V~VDD 的电压，这样连接扬声器的桥式模式便停止工作且A1 和A2 分别驱动耳机的左、右声道。

Bypass电容的选取

仔细考虑与BYPASS 管脚相连的电容 C_B 可使输入电容的尺寸减到最小。因为 C_B 决定CS8528S 静态工作点的稳定性，所以当开启有爆裂的输入信号时它的值非常关键。CS8528S的输出倾斜到静态直流电压($V_{DD}/2$) 越慢，则开启的pop声越小。选取2.2µF 的 C_B 且 C_i 为小电容(0.1 uf 到0.39 uf 的范围)，则可得到一个“滴答声”和“Pop声”都较小的关断功能。鉴于以上讨论，选取可满足带宽需要的、不太大的 C_i 有助于使“滴答声”和“Pop” 减到最小。

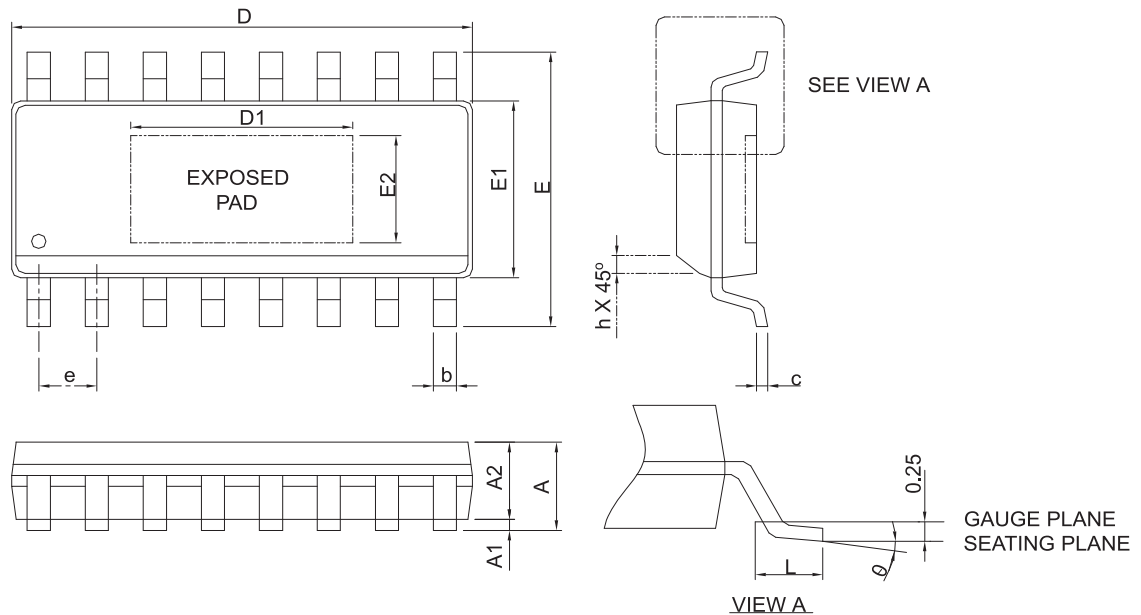
磁珠和电容

CS8528S在没有磁珠和电容的情况下,对于60cm的音频线,仍可满足FCC标准的要求。在输出音频线过长或器件布局靠近EMI敏感设备时,建议使用磁珠,电容。磁珠和电容要尽量靠近CS8508E放置。



封装信息

CS8528S ESOP16L



SYMBOL	ESOP16L			
	MILLIMETERS		INCHES	
	MIN.	MAX.	MIN.	MAX.
A		1.75		0.069
A1	0.00	0.15	0.000	0.006
A2	1.25		0.049	
b	0.31	0.51	0.012	0.020
c	0.17	0.25	0.007	0.010
D	9.80	10.00	0.386	0.394
D1	3.50	4.50	0.138	0.177
E	5.80	6.20	0.228	0.244
E1	3.80	4.00	0.150	0.157
E2	2.00	3.00	0.079	0.118
e	1.27 BSC		0.050 BSC	
h	0.25	0.50	0.010	0.020
L	0.40	1.27	0.016	0.050
θ	0°	8°	0°	8°

Note : 1. Follow from JEDEC MS-012 BC.

2. Dimension "D" does not include mold flash, protrusions or gate burrs.

Mold flash, protrusion or gate burrs shall not exceed 6 mil per side.

3. Dimension "E" does not include inter-lead flash or protrusions.

Inter-lead flash and protrusions shall not exceed 10 mil per side.